

# KOREAN PATENT ABSTRACTS(KR)

Document Code:B1

(11) Registration No. 1019960008563

(44) Registration Date. 19961002

(21) Application No.1019930011069

(22) Application Date. 19930617

(51) IPC Code:

H01L 21/28

(71) Applicant:

HYUNDAI ELECTRONICS IND. CO., LTD.

(72) Inventor:

CHOE, YANG-KYU

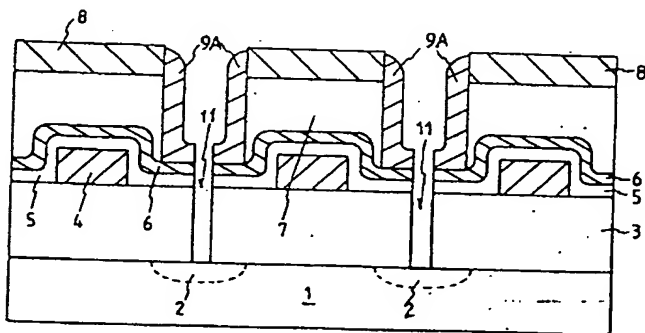
(30) Priority:

(54) Title of Invention

METHOD OF FORMING MICRO CONTACT HOLE OF SEMICONDUCTOR DEVICE USING DOUBLE SPACE

Representative drawing


(57) Abstract:



The method comprises the steps of: forming N+/P+ active region (2), a first oxide insulating layer (3) on a silicon substrate (1) and patterning a metal layer for wiring (4); depositing a second oxide insulating layer and a first nitride insulating layer (6) along the upper of pattern of wired layer(4), spreading a third oxide insulating layer (7) and a first

polycrystalline silicon (8) on it; patterning the first polycrystalline silicon (8); depositing a second polycrystalline silicon (9) and a second nitride insulating layer (10) along the first polycrystalline silicon(8) the groove surface formed by dry-etching the third oxide insulating layer (7) ; forming a second nitride insulating layer spacer (10A) by blanket dry etch of the second nitride insulating layer(10); forming a second polycrystalline silicon spacer (9A) by blanket dry etch and forming a micro contact hole (11) by dry etching; removing the second nitride insulating layer spacer (10A) by wet etching.

Copyright 1998 KIPO



if display of image is failed, press (F5)

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)(51) Int. Cl.<sup>6</sup>  
H01L 21/28(45) 공고일자 1996년06월28일  
(11) 등록번호 특1996-0008563  
(24) 등록일자

(21) 출원번호	특 1993-0011069	(65) 공개번호	특 1999-1000001
(22) 출원일자	1993년06월17일	(43) 공개일자	1999년01월01일
(73) 특허권자	현대전자산업주식회사 김주용		
(72) 발명자	경기도 이천군 부발읍 아미리 산 136-1 최양규		
(74) 대리인	서울특별시 관악구 봉천 6동 1684-16호 31통 2반 이권희, 서종완		

심사관 : 김승조 (책)  
자공보 제4527호

## (54) 더블 스페이서를 이용한 반도체 소자의 미세 콘택홀 형성방법

요약

내용 없음.

배표도

도1

명세서

[발명의 명칭]

더블 스페이서를 이용한 반도체 소자의 미세 콘택홀 형성방법

[도면의 간단한 설명]

제1도 내지 제6도는 본 발명의 미세 콘택홀 형성과정을 도시한 단면도.

\* 도면의 주요 부분에 대한 부호의 설명

- 1 : 실리콘 기판                      2 : N+/P+ 활성층  
3 : 제1산화절연막                  4 : 도전체 배선층  
5 : 제2산화절연막                  6 : 제1 질화절연막  
7 : 제3산화절연막                  8 : 제1다결정 실리콘막  
9 : 제2다결정 실리콘막            9A : 제2다결정 실리콘막 스페이서  
10 : 제2질화절연막                10A : 제2질화절연막 스페이서  
11 : 미세 콘택홀.

[발명의 상세한 설명]

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 콘택홀 형성시 미스얼라인(Misalign)에 대한 공정여유(process Margin)를 확보하기 위하여, 준스페이서(Quasi-Spacer)와 더블 스페이서(Double Spacer)를 마스크로 이용하여 준 셀프얼라인(Quasi-Selfalign)된 미세 콘택홀을 형성하는 방법에 관한 것이다.

일반적으로, 마스크 공정과 식각 공정을 이용하여 반도체 소자의 도전체 배선층 사이로 도전체 콘택홀을 형성하게 되면 도전체 콘택홀과 도전체 배선층과의 스페이싱(Spacing)이 충분하지 못하기 때문에, 도전체 콘택홀을 형성할 때의 마스크 공정에서 미스얼라인이 발생하여 배선층과 콘택홀 사이에 단락이 생길 확률이 높다. 그러므로, 이러한 미스얼라인을 방지할 수 있는 공정 여유를 확보하기 위하여, 스페이서를 형성해준 다음 이 스페이서를 이용하여 콘택홀을 형성하는데, 이때 스페이서의 증착 두께가 콘택홀 마스크 공정시 미스얼라인에 대한 공정여유를 확보해 주고 콘택홀 식각 공정시 장벽 역할을 해주게 된다.

그러나, 스페이서의 두께를 충분히 두껍게 해주기가 힘들고, 또한 스페이서 두께가 너무 두꺼우면 콘택홀 크기가 현저히 줄어들어가 콘택 자체가 형성되지 않는 경우가 생길 뿐만 아니라, 이러한 스페이서를 하나만 사용하게 되면 스페이서 블랭킷 건식식각(Blanket Dry etch)시 스페이서의 부분적 손실로 인하여 스페이서 두께가 감소하므로 미스 얼라인에 대한 공정여유를 확보하기가 어려운 문제점이 있다.

따라서, 본 발명에서는 이중 스페이서를 이용하고, 적층된 막들간의 건식식각 선택비율과 습식식각 선택비율을 적절히 조절하여 미세 콘택홀을 형성함으로써, 상기 종래 기술의 문제점을 제거하고자 하는 데에